

NOV 08 2004

Metal-insulator-metal (MIM) capacitors

Patent Number: ☐ US6597032
Publication date: 2003-07-22
Inventor(s): LEE HYAE-RYOUNG (KR)
Applicant(s): SAMSUNG ELECTRONICS CO LTD (US)
Requested Patent: JP2000228497
Application Number: US20000495881 20000201
Priority Number(s): KR19990003786 19990204
IPC Classification: H01L29/76; H01L29/94; H01L31/062; H01L31/113; H01L31/119
EC Classification: H01L21/02B3C, H01L21/02B3B
Equivalents: JP3141887B2, KR2000055260

Abstract

Metal-insulator-metal capacitors include a first capacitor electrode comprising a first metal extending on a substrate and a first electrically insulating layer comprising a first material extending on the first capacitor electrode. The first electrically insulating layer has a first opening therein that exposes a first portion of the first capacitor electrode. An electrically insulating etch-stop layer that comprises a second material different from the first material, extends on the first electrically insulating layer and has a second opening therein. A capacitor dielectric layer extends on the exposed first portion of the first capacitor electrode and on sidewalls of the first electrically insulating layer and the etch-stop layer. A second capacitor electrode that comprises a second metal extends on the capacitor dielectric layer and opposite the first capacitor electrode. The first and second metals may both comprise copper, gold or aluminum. The second capacitor electrode may also comprise a composite of a tungsten plug and another metal layer on the tungsten plug

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-228497
(P2000-228497A)

(43)公開日 平成12年8月15日(2000.8.15)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 1 L 27/04		H 0 1 L 27/04	C
21/822		21/90	A
// H 0 1 L 21/768			

審査請求 有 請求項の数38 O L (全 14 頁)

(21)出願番号 特願2000-24403(P2000-24403)
(22)出願日 平成12年2月1日(2000.2.1)
(31)優先権主張番号 1 9 9 9 P - 3 7 8 6
(32)優先日 平成11年2月4日(1999.2.4)
(33)優先権主張国 韓国 (K R)

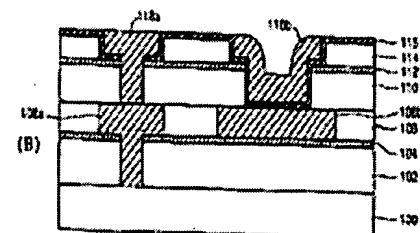
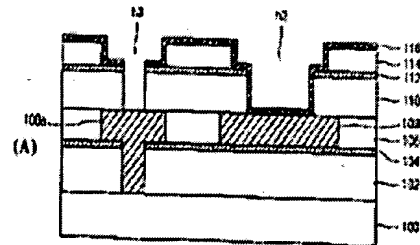
(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅蓮洞416
(72)発明者 李 憲 令
大韓民国京畿道龍仁市水枝邑竹田理 碧山
アパート101棟1003号
(74)代理人 100086368
弁理士 萩原 誠

(54)【発明の名称】 半導体集積回路のキャパシタ製造方法

(57)【要約】

【課題】 良好な特性のキャパシタを複雑な工程の追加なしに容易に製造することができる半導体集積回路のキャパシタ製造方法を提供すること。

【解決手段】 基板100上に下部電極108b、誘電体膜116及び上部電極118bによってMIM構造にキャパシタを製造する。下部電極108bは、多層配線の第1配線ライン108aと同時に製造し、上部電極118bは、多層配線の第2配線ライン118aと同時に製造する。第2配線ライン118aを形成する前に、上部電極形成用の第1ビアホールh2の開口と、誘電体膜116の形成を実施する。



【特許請求の範囲】

【請求項 1】 第 1 層間絶縁膜が形成された基板上に第 1 エッチストップ膜と第 2 層間絶縁膜を順次形成する段階と、

配線ライン形成部とキャパシタ形成部の前記第 1 エッチストップ膜表面が露出されるように前記第 2 層間絶縁膜を選択食刻する段階と、

それらの結果物上に金属の第 1 導電性膜を形成し、前記第 2 層間絶縁膜の表面が露出されるまでこれを除去して第 1 配線ライン及び下部電極を形成する段階と、

前記第 1 配線ライン及び下部電極を含めた前記第 2 層間絶縁膜上に第 3 層間絶縁膜を形成し、その上に第 2 エッチストップ膜と第 4 層間絶縁膜を順次形成する段階と、

配線ライン形成部とキャパシタ形成部の前記第 2 エッチストップ膜の表面が露出されるように前記第 4 層間絶縁膜を選択食刻する段階と、

前記下部電極の表面が所定部分だけ露出されるように前記第 2 エッチストップ膜と第 3 層間絶縁膜を選択食刻して第 1 ビアホールを形成する段階と、

前記第 1 ビアホールと前記第 2 エッチストップ膜を含めた前記第 4 層間絶縁膜上に誘電体膜を形成する段階と、前記第 1 配線ラインの表面が所定部分露出されるように前記誘電体膜、前記第 2 エッチストップ膜、及び前記第 3 層間絶縁膜を選択食刻して第 2 ビアホールを形成する段階と、

それらの結果物上に金属の第 2 導電性膜を形成し、前記誘電体膜の表面が露出されるまでこれを除去して前記第 1 配線ラインと連結される第 2 配線ラインと上部電極を形成する段階とを具備することを特徴とする半導体集積回路のキャパシタ製造方法。

【請求項 2】 前記基板はトランジスタのような下部構造が形成された基板又は任意の配線ラインが形成された基板であることを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 3】 前記第 1 エッチストップ膜表面が露出されるように前記第 2 層間絶縁膜を選択食刻する段階の以後に、配線ライン形成部の前記基板表面が所定部分露出されるように前記第 1 エッチストップ膜と前記第 1 層間絶縁膜を順次食刻してコンタクトホールを形成する段階をさらに有することを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 4】 前記第 1 層間絶縁膜形成の以後に、配線ライン形成部の前記基板表面が所定部分露出されるように前記第 1 層間絶縁膜を選択食刻してコンタクトホールを形成する段階と、

前記コンタクトホール内部に導電性プラグを形成する段階とを更に有することを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 5】 前記第 1 層間絶縁膜内に導電性プラグがさらに形成された場合、前記配線ライン形成部とキャパ

シタ形成部の前記第 1 エッチストップ膜表面が露出されるように前記第 2 層間絶縁膜を選択食刻する段階の以後に、前記第 1 エッチストップ膜の表面露出部を除去する段階をさらに有することを特徴とする請求項 4 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 6】 前記第 1 配線ラインと前記下部電極を同時に形成する段階の以後に、それらの結果物全面にキャッピング膜を形成する段階をさらに有することを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 7】 前記第 2 配線と前記上部電極を同時に形成する段階の以後に、それらの結果物全面にキャッピング膜を形成する段階をさらに有することを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 8】 前記キャッピング膜は SiON 膜からなることを特徴とする請求項 6 又は 7 のいずれか一項に記載の半導体集積回路のキャパシタ製造方法。

【請求項 9】 前記コンタクトホールの形成の以後に、それらの結果物全面に障壁金属膜を形成する段階をさらに有することを特徴とする請求項 3 又は 4 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 10】 前記第 2 ビアホールの形成後にそれらの結果物全面に障壁金属膜を形成する段階をさらに有することを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 11】 前記障壁金属膜は、Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N の単層構造及びこれらが組み合わされた積層膜構造で形成されることを特徴とする請求項 9 又は 10 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 12】 前記誘電体膜は、P-TEOS (Plasma Tera Ethyl Orthosilicate), PEOX (Plasma Enhanced Oxide), PESiN (Plasma Enhanced nitride), SiON, HDP (High Density Plasma), Ta₂O₅, SOG (Spin On Glass), O₃-TEOS, BST (Ba, Sr, TiO₃) の単層構造及びこれらが組み合わされた積層膜構造で形成されることを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 13】 前記第 1 及び第 2 エッチストップ膜は SiN 又は SiON で形成されることを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 14】 前記第 1 及び第 2 導電性膜は Cu 又は Au で形成されることを特徴とする請求項 1 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 15】 基板上に導電性プラグを有する第 1 層間絶縁膜を形成する段階と、

前記導電性プラグを含めた前記第 1 層間絶縁膜上に A1 材質の第 1 導電性膜を形成し、これを所定部分選択食刻して前記導電性プラグと連結される第 1 配線ライン及び

下部電極を形成する段階と、

前記第1配線ラインと前記下部電極を含めた前記第1層間絶縁膜上に第2層間絶縁膜、エッチストップ膜、及び第3層間絶縁膜を順次形成する段階と、

配線ライン形成部とキャパシタ形成部の前記エッチストップ膜表面が露出されるように前記第3層間絶縁膜を選択食刻する段階と、

前記下部電極の表面が所定部分露出されるように前記エッチストップ膜と前記第2層間絶縁膜を選択食刻して第1ビアホールを形成する段階と、

前記第1ビアホールと前記エッチストップ膜を含めた前記第3層間絶縁膜上に誘電体膜を形成する段階と、

前記第1配線ラインの表面が所定部分露出されるように前記誘電体膜、前記エッチストップ膜、及び前記第2層間絶縁膜を選択食刻して第2ビアホールを形成する段階と、

それらの結果物上にCu材質の第2導電性膜を形成し、前記誘電体膜の表面が露出されるまでこれを除去して前記第1配線ラインと連結される第2配線ライン及び上部電極を形成する段階とを具備することを特徴とする半導体集積回路のキャパシタ製造方法。

【請求項16】 前記基板はトランジスタのような下部構造が形成された基板又は任意の配線ラインが形成された基板であることを特徴とする請求項15に記載の半導体集積回路のキャパシタ製造方法。

【請求項17】 前記第1導電性膜の形成後にそれらの結果物全面にキャッピング膜を形成する段階をさらに有することを特徴とする請求項15に記載の半導体集積回路のキャパシタ製造方法。

【請求項18】 前記キャッピング膜はTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、W₂N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層構造で形成されることを特徴とする請求項17に記載の半導体集積回路のキャパシタ製造方法。

【請求項19】 前記第1導電性膜上にキャッピング膜がさらに形成された場合、前記第1導電性膜の食刻時に前記キャッピング膜も同時に食刻されることを特徴とする請求項17又は18に記載の半導体集積回路のキャパシタ製造方法。

【請求項20】 前記第2配線ラインと前記上部電極を同時に形成する段階の以後に、それらの結果物全面にキャッピング膜を形成する段階をさらに有することを特徴とする請求項15に記載の半導体集積回路のキャパシタ製造方法。

【請求項21】 前記キャッピング膜はSiON膜で形成されることを特徴とする請求項20に記載の半導体集積回路のキャパシタ製造方法。

【請求項22】 前記第2ビアホールを形成する段階以後にそれらの結果物全面に障壁金属膜を形成する段階を

さらに有することを特徴とする請求項15に記載の半導体集積回路のキャパシタ製造方法。

【請求項23】 前記障壁金属膜はTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、W₂N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層構造で形成されることを特徴とする請求項22に記載の半導体集積回路のキャパシタ製造方法。

【請求項24】 前記誘電体膜はP-TEOS(Plasma Tera Ethyl Ortho Silicate)、PEOX(Plasma Enhanced Oxide)、PESiN(Plasma Enhanced nitride)、SiON、HDP(High Density Plasma)、Ta₂O₅、SOG(Spin On Glass)、O₃-TEOS、BST(Ba, Sr, TiO₃)の単層構造及びこれらが組み合わされた積層構造で形成されることを特徴とする請求項15に記載の半導体集積回路のキャパシタ製造方法。

【請求項25】 前記エッチストップ膜はSiN又はSiONで形成されることを特徴とする請求項15に記載の半導体集積回路のキャパシタ製造方法。

【請求項26】 基板上に第1層間絶縁膜、エッチストップ膜及び第2層間絶縁膜を順次形成する段階と、配線ライン形成部とキャパシタ形成部の前記エッチストップ膜表面が露出されるように前記第2層間絶縁膜を選択食刻する段階と、

配線ライン形成部の前記基板表面が所定部分露出されるように前記エッチストップ膜と前記第1層間絶縁膜を選択食刻してコンタクトホールを形成する段階と、それらの結果物上にCu材質の第1導電性膜を形成し、

前記第2層間絶縁膜の表面が露出されるまでこれを除去して第1配線ラインと下部電極を形成する段階と、

前記第1配線ラインと前記下部電極を含めた前記第2層間絶縁膜上に第3層間絶縁膜を形成する段階と、

前記下部電極の表面が所定部分露出されるように前記第3層間絶縁膜を選択食刻して第1ビアホールを形成する段階と、

前記第1ビアホールを含めた前記第3層間絶縁膜上に誘電体膜を形成する段階と、

前記第1配線ラインの表面が所定部分露出されるように前記誘電体膜と前記第3層間絶縁膜を選択食刻して第2ビアホールを形成する段階と、

前記第1ビアホールと第2ビアホールの内部に導電性プラグを形成する段階と、

前記導電性プラグを含めた前記誘電体膜上にAl材質の第2導電性膜を形成し、これを所定部分選択食刻して前記第2ビアホール内の前記導電性プラグと連結される第2配線ラインと、前記第1ビアホール内の前記導電性プラグと連結され上部電極を構成する第2導電性膜パターンとを形成する段階とを具備することを特徴とする半導体集積回路のキャパシタ製造方法。

【請求項27】 前記基板はトランジスタのような下部

構造が形成された基板又は任意の配線ラインが形成された基板であることを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 28】 前記コンタクトホールを形成する段階の以後にそれらの結果物全面に障壁金属膜を形成する段階をさらに有することを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 29】 前記第2ビアホールを形成する段階の以後にそれらの結果物全面に障壁金属膜を形成する段階をさらに有することを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 30】 前記第2ビアホールの形成が完了したそれらの結果物全面に障壁金属膜がさらに形成された場合、前記第2導電性膜の食刻時に前記障壁金属膜を同時に食刻することを特徴とする請求項 29 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 31】 前記障壁金属膜は Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N の単層構造及びこれらが組み合わされた積層構造で形成されることを特徴とする請求項 28 又は 29 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 32】 前記第1配線ラインと前記下部電極を同時に形成する段階の以後にそれらの結果物全面にキャッピング膜を形成する段階をさらに有することを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 33】 前記キャッピング膜は SiON 膜で形成されることを特徴とする請求項 32 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 34】 前記第1配線ラインと前記下部電極上にキャッピング膜形成がさらに行われた場合、前記第2ビアホールを形成するための食刻工程時に前記キャッピング膜も同時に食刻されることを特徴とする請求項 32 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 35】 前記第2導電性膜形成後にそれらの結果物全面にキャッピング膜を形成する段階を更に有することを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 36】 前記キャッピング膜は Ti, Ta, W, Mo, TiN, TiW, TaN, MoN, W-N, W-Si-N, Ta-Si-N, W-B-N, Ti-Si-N の単層構造及びこれらが組み合わされた積層構造で形成されることを特徴とする請求項 35 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 37】 前記誘電体膜は P-TEOS (Plasma Tera Ethyl Ortho Silicate), PEOX (Plasma Enhanced Oxide), PESiN (Plasma Enhanced nitride), SiON, HDPE (High Density Plasma), Ta₂O₅, SOG (Spin On Glass), O₃-TEOS, BST

(Ba, Sr, TiO₃) の単層構造及びこれらが組み合わされた積層構造で形成されることを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【請求項 38】 前記エッチストップ膜は SiN 又は SiON で形成されることを特徴とする請求項 26 に記載の半導体集積回路のキャパシタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路 (IC) のキャパシタ製造方法に係るもので、詳しくはロジック回路及びアナログ回路に用いられる MIM (Metal Insulator Metal) 構造を有する半導体集積回路のキャパシタ製造方法に関する。

【0002】

【従来の技術】 半導体集積回路は、入力信号変化により出力信号がオン/オフ式に変化するデジタル型集積回路、いわゆるロジック回路と、入力信号変化により出力信号が線形的に変化するアナログ型集積回路、いわゆるアナログ回路とに区分される。この集積回路は、デジタル型及びアナログ型にかかわらず全てキャパシタに蓄積された電荷の有無に従い情報の貯蔵が行われるので、これらの回路が正常な動作特性を維持するためには素子製造のときに電圧及び温度変化に従いキャパシタンスが変化しないようにキャパシタを製作すべきである。

【0003】 図1は、集積回路の製造時に広く用いられる 0.5 μ m のゲート線幅を有する従来のロジック回路及びアナログ回路の PIP (Polysilicon Insulator Polysilicon) 型キャパシタ構造を示す断面図である。図1を参照すると、従来の PIP 型キャパシタは、半導体基板 10 上のフィールド酸化膜 (図示されず) 上にポリシリコン材質の下部電極 12a が形成され、その上に ON (例えば、バッファ酸化膜 14a/変化膜 14b) 構造の誘電体膜 14 が形成され、この誘電体膜 14 上に下部電極 12a よりも小さい線幅を有するポリサイド材質の上部電極 18a が形成されるようになっている。

【0004】 従って、前記構造のキャパシタは次の4段階を経て製造される。第1段階として、図2(A)に示すように、フィールド酸化膜 (図示されず) が具備された半導体基板 10 上にポリシリコン膜 12 を形成し、その上にバッファ酸化膜 14a を形成し、このバッファ酸化膜 14a 上へ As 或いは P、又はこれらの組合せからなる不純物をイオン注入してポリシリコン膜 12 の抵抗を低くする。

【0005】 第2段階として、図2(B)に示すように、バッファ酸化膜 14a の全面に酸化膜 14b を形成し、キャパシタ形成部を限定する感光膜パターン (図示されず) をマスクとして用いて酸化膜 14b、バッファ酸化膜 14a、及びポリシリコン膜 12 を順次食刻して、フィールド酸化膜上の所定部分に酸化膜 14b とバッファ酸化膜 14a が具備されたポリシリコン材質の下

部電極12aを形成する。

【0006】第3段階として、図3(A)に示すように、それらの結果物を含めた基板10全面にゲート絶縁膜16とポリサイド膜18を順次形成する。このとき、ゲート絶縁膜16は膜質の特性上、半導体基板10上では良好に成長するが、窒化膜14b上では殆ど成長せず、膜蒸着工程が完了すると、図3(A)から分かるように、半導体基板10の表面と下部電極12aの両側面には所定厚さのゲート絶縁膜16が形成されるが、窒化膜14b上にはゲート絶縁膜が殆ど形成されない。ここでは便宜上、窒化膜14b上にゲート絶縁膜が形成されないという仮定で工程を説明する。

【0007】第4段階として、図3(B)に示すように、キャパシタ形成部とゲート電極形成部を限定する感光膜パターン(図示せず)をマスクとして用いてポリサイド膜18とゲート絶縁膜16を順次食刻する。これにより、トランジスタ形成部には下側にゲート絶縁膜16を具備したポリシリコン材質の下部電極12aを形成し、フィールド酸化膜上にはON(例えば、バッファ酸化膜14a/窒化膜14b)構造の誘電体膜14を介してその上下部にポリシリコン材質の下部電極12aとポリサイド材質の上部電極18aが順次積層された構造のキャパシタを形成する。このとき、下部電極12a及び上部電極18aは、ゲート電極18bよりも大きい線幅を有するように形成され、上部電極18aは下部電極12aよりも小さい線幅を有するように形成される。以上で全工程を完了する。

【0008】

【発明が解決しようとする課題】しかしながら、ロジック及びアナログ回路のキャパシタを前述のようにP1P型構造で形成した場合は、半導体集積回路の駆動のときに次のような問題が発生する。図1に示したP1P型キャパシタの場合、通常キャパシタンスの電圧係数(Voltage Coefficient of Capacitance:以下、VCCという)が220ppm(part per million)/V程度の値を有し、キャパシタンスの温度係数(Temperature Coefficient of Capacitance:以下、TCCという)が120ppm/°C程度の値を有するので、電圧及び温度変化に伴うキャパシタンスの変化量が大きくなり、素子駆動のときにキャパシタンスの変動が大きく生じるのみならず、キャパシタのアレイマッチング特性が不均一になるという問題が発生する。更に、上述のキャパシタンス特性を有するキャパシタを高周波領域で用いる場合、キャパシタの電極を構成するポリシリコンの抵抗が大きいいため、半導体集積回路が安定した動作を行うことができないという問題が発生する。そして、このような問題が発生すると、キャパシタの特性不良のためにキャパシタの性能が低下してアナログ回路の動作不良が惹起され、場合によっては小さいビットレゾリューション(bit resolution)のため高性能アナログ回路の実現が不可能になる

現象も発生する。そこで、これに対する改善策が至急に求められている。

【0009】本発明の目的は、複雑な工程の追加なしに良好な特性のキャパシタを容易に製造することができる半導体集積回路のキャパシタ製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明に係る第1の半導体集積回路のキャパシタ製造方法は、第1層間絶縁膜が形成された基板上に第1エッチストップ膜と第2層間絶縁膜を順次形成する段階と、配線ライン形成部とキャパシタ形成部の前記第1エッチストップ膜表面が露出されるように前記第2層間絶縁膜を選択食刻する段階と、それらの結果物上に金属の第1導電性膜を形成し、前記第2層間絶縁膜の表面が露出されるまでこれを除去して第1配線ライン及び下部電極を形成する段階と、前記第1配線ライン及び前記下部電極を含めた前記第2層間絶縁膜上に第3層間絶縁膜を形成し、その上に第2エッチストップ膜と第4層間絶縁膜を順次形成する段階と、配線ライン形成部とキャパシタ形成部の前記第2エッチストップ膜表面が露出されるように前記第4層間絶縁膜を選択食刻する段階と、前記下部電極の表面が所定部分だけ露出されるように前記第2エッチストップ膜と第3層間絶縁膜を選択食刻して第1ビアホールを形成する段階と、前記第1ビアホールと前記第2エッチストップ膜を含めた前記第4層間絶縁膜上に誘電体膜を形成する段階と、前記第1配線ラインの表面が所定部分だけ露出されるように前記誘電体膜、前記第2エッチストップ膜、及び前記第3層間絶縁膜を選択食刻して第2ビアホールを形成する段階と、それらの結果物上に金属の第2導電性膜を形成し、前記誘電体膜の表面が露出されるまでこれを除去して前記第1配線ラインと連結される第2配線ラインと上部電極を形成する段階とを具備することを特徴とする。

【0011】この第1の方法において、配線ライン形成部とキャパシタ形成部の第1エッチストップ膜表面が露出されるように前記第2層間絶縁膜を選択食刻する段階の以後に、配線ライン形成部の基板表面が所定部分露出されるように第1エッチストップ膜と第1層間絶縁膜を順次食刻してコンタクトホールを形成する段階をさらに有するようにすることもできるし、基板上に第1層間絶縁膜を形成後、配線ライン形成部の基板表面が所定部分だけ露出されるように第1層間絶縁膜を選択食刻してコンタクトホールを形成する段階と、コンタクトホールの内部に導電性プラグを形成する段階とをさらに有するようにすることもできる。但し、後者の場合は、配線ライン形成部とキャパシタ形成部の第1エッチストップ膜表面が露出されるように第2層間絶縁膜を選択食刻する段階の以後に、第1エッチストップ膜の表面露出部を除去する段階をさらに有するように工程を実施すべきであ

る。

【0012】また、前記第1配線ラインと前記下部電極を形成する段階、及び前記第2配線ラインと前記上部電極を形成する段階以後にそれぞれキャッピング膜を形成する段階をさらに有する方が好ましく、第1及び第2導電性膜を形成する直前にはそれぞれ障壁金属膜を形成する段階をさらに有する方が好ましい。このとき用いられるキャッピング膜としてはSiON膜が例として挙げられ、障壁金属膜としてはTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、W₂N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層膜構造が例として挙げられる。

【0013】また、誘電体膜はP-TEOS(Plasma Te tra Ethyl Ortho Silicate)、PEOX(Plasma Enhanced Oxide)、PESiN(Plasma Enhanced Nitride)、SiON、HDP(High Density Plasma)、Ta₂O₅、SOG(Spin On Glass)、O₃-TEOS、BST(Ba, Sr, TiO₃)の単層構造及びこれらが組み合わされた積層膜構造で形成されることが好ましく、前記第1及び第2導電性膜はCu又はAuで形成されることが好ましい。

【0014】本発明に係る第2の半導体集積回路のキャパシタ製造方法は、基板上に導電性プラグを有する第1層間絶縁膜を形成する段階と、前記導電性プラグを含めた前記第1層間絶縁膜上にAl材質の第1導電性膜を形成し、これを所定部分だけ選択食刻して前記導電性プラグと連結される第1配線ライン及び下部電極を形成する段階と、前記第1配線ラインと前記下部電極を含めた前記第1層間絶縁膜上に第2層間絶縁膜、エッチストップ膜、及び第3層間絶縁膜を順次形成する段階と、配線ライン形成部とキャパシタ形成部の前記エッチストップ膜表面が露出されるように前記第3層間絶縁膜を選択食刻する段階と、前記下部電極の表面が所定部分だけ露出されるように前記エッチストップ膜と前記第2層間絶縁膜を選択食刻して第1ビアホールを形成する段階と、前記第1ビアホールと前記エッチストップ膜を含めた前記第3層間絶縁膜上に誘電体膜を形成する段階と、前記第1配線ラインの表面が所定部分だけ露出されるように前記誘電体膜、前記エッチストップ膜、及び前記第2層間絶縁膜を選択食刻して第2ビアホールを形成する段階と、それらの結果物上にCu材質の第2導電性膜を形成し、前記誘電体膜の表面が露出されるまでこれを除去して前記第1配線ラインと連結される第2配線ライン及び上部電極を形成する段階とを具備することを特徴とする。

【0015】この第2の方法において、第1導電性膜の形成後はキャッピング膜を形成する段階をさらに有する方が好ましく、第2ビアホールを形成する段階の以後は障壁金属膜を形成する段階をさらに有する方が好ましく、第2配線ラインと前記上部電極を形成する段階の以

後はキャッピング膜を形成する段階をさらに有する方が好ましい。第1導電性膜上に形成されるキャッピング膜と障壁金属膜としてはTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、W₂N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層膜構造が例として挙げられ、上部電極上に形成されるキャッピング膜としてはSiON膜が例として挙げられる。そして、第1導電性膜上にキャッピング膜形成がさらに行われた場合は第1導電性膜の食刻のときに前記キャッピング膜も同時に食刻されるように工程を実施すべきである。

【0016】本発明の第3の半導体集積回路のキャパシタ製造方法は、基板上に第1層間絶縁膜、エッチストップ膜、及び第2層間絶縁膜を順次形成する段階と、配線ライン形成部とキャパシタ形成部の前記第1エッチストップ膜表面が露出されるように前記第2層間絶縁膜を選択食刻する段階と、配線ライン形成部の前記基膜表面が所定部分露出されるように前記エッチストップ膜と前記第1層間絶縁膜を選択食刻してコンタクトホールを形成する段階と、それらの結果物上にCu材質の第1導電性膜を形成し、前記第2層間絶縁膜の表面が露出されるまでこれを除去して第1配線ラインと下部電極を形成する段階と、前記第1配線ラインと前記下部電極を含めた前記第2層間絶縁膜上に第3層間絶縁膜を形成する段階と、前記下部電極の表面が所定部分露出されるように前記第3層間絶縁膜を選択食刻して第1ビアホールを形成する段階と、前記第1ビアホールを含めた前記第3層間絶縁膜上に誘電体膜を形成する段階と、前記第1配線ラインの表面が所定部分露出されるように前記誘電体膜と前記第3層間絶縁膜を選択食刻して第2ビアホールを形成する段階と、前記第1ビアホールと前記第2ビアホールの内部に導電性プラグを形成する段階と、前記導電性プラグを含めた前記誘電体膜上にAl材質の第2導電性膜を形成し、これを所定部分選択食刻して前記第2ビアホール内の前記導電性プラグと連結される第2配線ラインと、前記第1ビアホール内の前記導電性プラグと連結され上部電極を構成する第2導電性膜パターンとを形成する段階とを具備することを特徴とする。

【0017】この第3の方法において、第1配線ラインと下部電極の形成後はキャッピング膜を形成する段階をさらに有する方が好ましく、コンタクトホールを形成する段階及び第2ビアホールを形成する段階の以後はそれぞれ障壁金属膜を形成する段階をさらに有する方が好ましく、第2導電性膜の形成後はキャッピング膜を形成する段階をさらに有する方が好ましい。第1配線ラインと前記下部電極上に形成されるキャッピング膜としてはSiON膜が例として挙げられ、第2導電性膜上に形成されるキャッピング膜と障壁金属膜としてはTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、W₂N、W-Si-N、Ta-Si-N、W-B-N、Ti-S

I-Nの単層構造及びこれらが組み合わされた積層構造が例として挙げられる。そして、第1配線ラインと下部電極の形成後にキャッピング膜の形成がさらに行われた場合は、第2ビアホールを形成するための食刻工程時に前記キャッピング膜も同時に食刻されるように工程を実施すべきであり、第2ビアホールの形成後に障壁金属膜の形成がさらに行われた場合は第2導電性膜の食刻時に前記障壁金属膜も同時に食刻されるように工程を実施すべきである。

【0018】以上のような本発明の製造方法によれば、ロジック回路及びアナログ回路に用いられるキャパシタがMIM構造に製造されるので、キャパシタがPIP構造を有する場合と比べてVCC値は $1/5 \sim 1/6 T1$ （T1はPIP構造のキャパシタで測定された従来のVCC値を示す）以下の水準まで低下させることができるし、TCCは $1/2 T2$ （T2はPIP構造のキャパシタで測定された従来のTCC値を示す）以下の水準まで低下させることができるようになる。その結果、電圧及び温度変化に伴いキャパシタンスが大きく変化することを防ぐことができるし、高周波領域でキャパシタの特性低下に起因して発生するアナログ回路の誤動作発生を抑制することができるようになる。さらに上記本発明の方法によれば、多層配線形成工程を利用して複雑な工程の追加なしにMIM構造のキャパシタを容易に製造できる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。本発明は、半導体集積回路の多層配線形成時に、第1ビアホール形成工程と誘電体膜形成工程を追加することにより、複雑な工程の追加なしに、ロジック回路及びアナログ回路のキャパシタをMIM構造に形成してキャパシタの特性向上を図ったものである。これを図4ないし図14を参照して説明する。

【0020】ここで、図4は、本発明の第1及び第2実施形態で製造された、ロジック及びアナログ回路に用いられるMIM型キャパシタ構造を示す断面図であって、このキャパシタは上部及び下部電極の全てがCu材質の導電性膜からなる場合である。図5及び図6は、図4に示したキャパシタを製造する本発明の第1実施形態を工程順に示す断面図、図7及び図8は同キャパシタを製造する本発明の第2実施形態を工程順に示す断面図である。

【0021】図9は、本発明の第3実施形態で製造された、ロジック及びアナログ回路に用いられるMIM型キャパシタ構造を示す断面図であって、このキャパシタは上部電極がCu材質の導電性膜からなり、下部電極がAl材質の導電性膜からなる。図10及び図11は、図9に示したキャパシタを製造する本発明の第3実施形態を工程順に示す断面図である。

【0022】図12は、本発明の第4実施形態で製造された、ロジック及びアナログ回路に用いられるMIM型キャパシタ構造を示す断面図であって、このキャパシタは上部電極が“導電性プラグ/導電性膜パターン”の積層構造からなり、下部電極がCu材質の導電性膜からなる。図13及び図14は、図12に示したキャパシタを製造する本発明の第4実施形態を工程順に示す断面図である。

【0023】まず、図4ないし図6を参照して本発明の第1実施形態を説明する。第1実施形態では、第1配線ラインと第2配線ライン間にMIM構造のキャパシタが形成されるが、キャパシタは第2と第3配線ラインの間、或いは第3と第4配線ラインの間等、他の任意の配線ライン間に形成することもできる。

【0024】図4に示すように、本発明の第1実施形態で製造されたロジック及びアナログ回路のキャパシタは、トランジスタのような下部構造が形成された基板100上に第1層間絶縁膜102が形成され、この第1層間絶縁膜102上に第1エッチストップ膜104が形成され、この第1エッチストップ膜104上に下部電極形成部のエッチストップ膜104の表面が露出されるように第2層間絶縁膜106が形成され、この第2層間絶縁膜106内の表面が露出した前記第1エッチストップ膜104上にCu（又はAu）材質の下部電極108bが形成され、この下部電極108bを含めた第2層間絶縁膜106上に、下部電極108bの表面が所定部分だけ露出されるように第1ビアホールを備えた第3層間絶縁膜110が形成され、この第3層間絶縁膜110上に第2エッチストップ膜112が形成され、この第2エッチストップ膜112上に、上部電極形成部が第1ビアホールと連結されるようにオープンされた構造の第4層間絶縁膜114が形成され、前記第1ビアホール内部と前記第4層間絶縁膜114内のオープン領域には誘電体膜116を挟んでCu（又はAu）材質の上部電極118bが形成されており、キャパシタは全体的にMIM構造を有するように構成されている。このとき、キャパシタは、図4には図示されていないが、第2層間絶縁膜106と第3層間絶縁膜110の間、ならびに上部電極118b上にそれぞれSiON材質のキャッピング膜をさらに有する構造にすることができるし、上部電極118bと誘電体膜116間に障壁金属膜が更に形成される構造とすることもできる。

【0025】上記構造のキャパシタは、図5及び図6に示すように、次の5段階を経て製造される。この場合、上部及び下部電極がそれぞれCu材質の導電性膜からなっているので、電極は全て銅タマシ工程により製造される。

【0026】第1段階として、図5（A）に示すように、トランジスタのような下部構造が形成された基板100上に第1層間絶縁膜102を形成し、その上に第1

エッチストップ膜104と第2層間絶縁膜106を順次形成する。このとき、第1エッチストップ膜104はSiN膜又はSiON膜材質で形成される。次いで、配線形成部とキャパシタ形成部を限定する感光膜パターン（図示せず）をマスクとして用いて第1エッチストップ膜104の表面が露出されるまで第2層間絶縁膜106を選択食刻した後、配線ライン形成部の基板100表面が所定部分露出されるように第1エッチストップ膜104と第1層間絶縁膜102を順次選択食刻してコンタクトホールh1を形成する。

【0027】第2段階として、図5(B)に示すように、コンタクトホールh1が十分に充填されるようにこれらの結果物の全面にCu材質の第1導電性膜を形成し、第2層間絶縁膜106表面が露出されるまでこれをCMP処理してCu材質の第1配線ライン108aと下部電極108bを同時に形成する。このとき、第1導電性膜としてはCu以外にAuも適用できる。

【0028】第3段階として、図5(C)に示すように、第1配線ライン108aと下部電極108bを含めた第2層間絶縁膜106上に第3層間絶縁膜110を形成し、その上に第2エッチストップ膜112と第4層間絶縁膜114を順次形成した後、配線ライン形成部とキャパシタ形成部を限定する感光膜パターン（図示せず）をマスクとして第2エッチストップ膜112の表面が露出されるまで第4層間絶縁膜114を選択食刻する。この場合も第2エッチストップ膜112はSiN又はSiON材質で形成される。

【0029】第4段階として、図6(A)に示すように、下部電極108bの表面が所定部分露出されるように第2エッチストップ膜112と第3層間絶縁膜110を順次食刻して第1ビアホールh2を形成し、CVD(chemical vapour deposition)法を用いてこれらの結果物全面に誘電体膜116を形成した後、第1配線ライン108aの表面が所定部分露出されるように誘電体膜116、第2エッチストップ膜112、及び第3層間絶縁膜110を順次選択食刻して第2ビアホールh3を形成する。誘電体膜116としては、P-TEOS(Plasma Tetra Ethyl Ortho Silicate)、PEOX(Plasma Enhanced Oxide)、PESiN(Plasma Enhanced nitride)、SiON、HDP(High Density Plasma)、Ta2O5、SOG(Spin On Glass)、O3-TEOS、BST(Ba, Sr, TiO3)の単層構造及びこれらが組み合わされた積層構造が用いられる。

【0030】第5段階として、図6(B)に示すように、第1及び第2ビアホールh2、h3が十分に埋め込まれるようにこれらの結果物の全面にCu材質の第2導電性膜を形成し、誘電体膜116の表面が露出されるまでこれをCMP処理してCu材質の第2配線ライン118aと上部電極118bを同時に形成することにより、本第1実施形態での全工程を終了する。このとき、第2

配線ライン118aは第1配線ライン108aと上下に直接連結されるように形成される。また、第2導電性膜としてはCu以外にAuを適用することができる。

【0031】なお、上記の第1実施形態において、第1配線ライン108aと下部電極108bを同時に形成した後、さらには第2配線ライン118aと上部電極118bを同時に形成した後、それぞれの全面にキャッピング膜（図示せず）を形成することもできる。これは上部及び下部電極118b、108bをなす導電性膜が食刻仮定で汚染されることを防止し、ビアホールの形成のときにミスアライン(misalign)が発生してもビアホールが奇異な形状に作られることを防止するためである。このとき用いられるキャッピング膜としてはSiONが例として挙げられるが、このように上部及び下部電極118b、108b上にキャッピング膜が形成される場合は、第1及び第2ビアホールh2、h3を形成するための食刻工程時に前記キャッピング膜も共に除去されるように工程を実施しなければならない。また、コンタクトホールh1の形成後と第2ビアホールh3の形成後にそれぞれ障壁金属膜（図示せず）を形成する工程を行ってもよい。このとき用いられる障壁金属膜としてはTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、WN、W-SiN、Ta-SiN、W-BN、Ti-SiNの単層構造及びこれらが組み合わされた積層構造が例として挙げられる。

【0032】さらに、上記第1実施形態では、ダマシーン工程を用いて上部及び下部電極を形成するが、下部電極の形成前に一般的プロセス（例えば、導電性膜蒸着及びCMP処理）により導電性プラグを予め形成して、第1配線ラインが導電性プラグに連結される構造とすることもできる。そのようにしたのが図7及び図8に示す本発明の第2実施形態である。以下、第2実施形態を5段階に区分して説明するが、便宜上第1実施形態と同一部分は簡単に言及し、第1実施形態と異なる部分を重点的に説明する。

【0033】第1段階として、図7(A)に示すように、トランジスタのような下部構造が形成された基板100上に第1層間絶縁膜102を形成し、配線ライン形成部の基板100表面が所定部分露出されるようにこれを選択食刻してコンタクトホールh1を形成した後、コンタクトホールh1を含めた第1層間絶縁膜102上にW材質の導電性膜を形成し、これをCMP処理して導電性プラグ103を形成する。

【0034】第2段階として、図7(B)に示すように、導電性プラグ103を含めた第1層間絶縁膜102上にSiN又はSiON材質の第1エッチストップ膜104と第2層間絶縁膜106を順次形成し、配線形成部とキャパシタ形成部を限定する感光膜パターン（図示せず）をマスクとして第1エッチストップ膜104の表面が露出されるまで第2層間絶縁膜106を選択食刻す

る。次いで、導電性プラグ103を露出させるために第1エッチストップ膜104の表面露出部を除去し、それらの結果物の全面にCu材質の第1導電性膜を形成した後、第2層間絶縁膜105の表面が露出されるまでこれをCMP処理してCu材質の第1配線ライン108aと下部電極108bを同時に形成する。このとき、第1配線ライン108aは導電性プラグ103と電気的に連結されるように形成され、第1導電性膜としてAuを適用することもできる。

【0035】第3段階として、図7(C)に示すように、第1配線ライン108aと下部電極108bを含めた第2層間絶縁膜106上に第3層間絶縁膜110、第2エッチストップ膜112、及び第4層間絶縁膜114を順次形成した後、配線ラインの形成部とキャパシタ形成部を限定する感光膜パターン(図示せず)をマスクとして第2エッチストップ膜112の表面が露出されるまで第4層間絶縁膜114を選択食刻する。このとき、第2エッチストップ膜112はSiN又はSiON材質で形成される。

【0036】第4段階として、図8(A)に示すように、下部電極108bの表面が所定部分だけ露出されるように第2エッチストップ膜112と第3層間絶縁膜110を順次選択食刻して第1ビアホールh2を形成し、それらの結果物全面に誘電体膜115を形成した後、第1配線ライン108aの表面が所定部分露出されるように誘電体膜115、第2エッチストップ膜112、及び第3層間絶縁膜110を順次選択食刻して第2ビアホールh3を形成する。誘電体膜115は第1実施形態と同一の種類のもので用いられるので、ここでは詳しい言及を避ける。

【0037】第5段階として、図8(B)に示すように、それらの結果物全面にCu材質の第2導電性膜を形成し、誘電体膜115の表面が露出されるまでこれをCMP処理してCu材質の第2配線ライン118aと上部電極118bを同時に形成して、本第2実施形態の工程を終了する。このとき、第2導電性膜としてはCu以外にもAuを適用できる。

【0038】なお、この第2実施形態の場合でも、第1配線ライン108aと下部電極108bを同時に形成した後、そして第2配線ライン118aと上部電極118bを同時に形成した後それぞれ全面にキャッピング膜(図示せず)を形成することができるし、コンタクトホールh1の形成後と第2ビアホールh3の形成後にそれぞれ障壁金属膜(図示せず)を形成することができる。但し、キャッピング膜を形成した場合は、第1及び第2ビアホールh2、h3を形成するための食刻工程時にキャッピング膜も食刻するように工程を実施すべきである。

【0039】次いで、図9ないし図11を参照して本発明に係る第3実施形態について説明する。この第3実施

形態でも第1配線ラインと第2配線ラインの間にMIM構造のキャパシタが形成されるが、キャパシタは第2と第3配線ラインの間、或いは第3と第4配線ラインの間など任意の配線ライン間のどこにでも形成できる。

【0040】図9を参照すると、本発明の第3実施形態で製造されたロジック及びアナログ回路のキャパシタは、トランジスタのような下部構造が形成された基板200上に第1層間絶縁膜202が形成され、この第1層間絶縁膜202上にAl材質の下部電極206bが形成され、この下部電極206bを含めた第1層間絶縁膜202上に前記下部電極206bの表面が所定部分露出されるように第1ビアホールを具備した第2層間絶縁膜208が形成され、この第2層間絶縁膜208上にエッチストップ膜210が形成され、このエッチストップ膜210上に、上部電極形成部が第1ビアホールと連結されるように開放された構造の第3層間絶縁膜212が形成され、前記第1ビアホールの内部と第3層間絶縁膜212内の開放領域には誘電体膜214を挟んでCu材質の上部電極216bが形成されており、キャパシタは全体的にMIM構造を有するように構成されている。

【0041】このとき、キャパシタは、図9には図示されていないが、下部電極206b上と上部電極216b上にそれぞれキャッピング膜(図示せず)がさらに形成された構造とすることもできる。Al材質の下部電極206b上に形成されるキャッピング膜としてはTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、WN、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層構造が例として挙げられ、Cu材質の上部電極216b上に形成されるキャッピング膜としてはSiON膜が例として挙げられる。

【0042】従って、前記構造のキャパシタは図10及び図11に示されるように次の4段階を経て製造される。この場合、下部電極はAl材質の導電性膜からなり、上部電極はCu材質の導電性膜からなっているため、上部電極だけが銅ダマシオン工程により製造される。

【0043】第1段階として、図10(A)に示すように、トランジスタのような下部構造が形成された基板200上に第1層間絶縁膜202を形成し、配線ライン形成部の基板200表面が所定部分露出されるようにこれを選択食刻してコンタクトホールh1を形成した後、W材質の導電性膜を形成し、及びCMP工程(又はエッチバック工程)を施してコンタクトホールh1内に導電性プラグ204を形成する。次いで、導電性プラグ204を含めた第1層間絶縁膜202上にAl材質の第1導電性膜を形成した後、キャパシタ形成部と配線ライン形成部を限定する感光膜パターン(図示せず)をマスクとして第1導電性膜を食刻してAl材質の第1配線ライン206aと下部電極206bを同時に形成する。このとき、第1

配線ライン206aは前記導電性プラグ204と電気的に連結されるように形成される。

【0044】なお、図示していないが、基板200と導電性プラグ204間の接触抵抗を低くするためにコンタクトホールh1を形成した後それらの結果物上に障壁金属膜（図示せず）を形成することもできる。但し、この場合は導電性プラグ204を形成するためのCMP工程で第1層間絶縁膜202上の障壁金属膜も除去するように工程を実施すべきである。

【0045】また、第1配線ライン206aと下部電極206bを形成するときの膜質及びパターンニング特性を向上させる目的で、A1材質の第1導電性膜上にキャッピング膜をさらに形成した状態でキャパシタ形成部と配線ライン形成部を限定する感光膜パターン（図示せず）をマスクとしてこれらを食刻することもできる。前記キャッピング膜としてはTi、Ta、W、Mo、TiN、TiW、Ta-N、Mo-N、W-N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層膜構造が用いられる。

【0046】第2段階として、図10(B)に示すように、第1配線ライン206aと下部電極206bを含めた第1層間絶縁膜202上に第2層間絶縁膜208を形成し、その上にSiN膜又はSiON膜材質のエッチストップパ膜210と第3層間絶縁膜212を順次形成した後、配線形成部とキャパシタ形成部を限定する感光膜パターン（図示せず）をマスクとしてエッチストップパ膜210の表面が露出されるまで第3層間絶縁膜212を選択食刻する。

【0047】第3段階として、図11(A)に示すように、下部電極206bの表面が所定部分露出されるようにエッチストップパ膜210と第2層間絶縁膜208を順次食刻して第1ビアホールh2を形成し、それらの結果物全面に誘電体膜214を形成した後、第1配線ライン206aの表面が所定部分露出されるように誘電体膜214、エッチストップパ膜210及び第2層間絶縁膜208を順次食刻して第2ビアホールh3を形成する。なお、誘電体膜214としては第1実施形態で示されたものと同じ材質のものが用いられるのでここでは言及を避ける。

【0048】第4段階として、図11(B)に示すように、それらの結果物全面にCu材質の第2導電性膜を形成し、誘電体膜214の表面が露出されるまでこれをCMP処理してCu材質の第2配線ライン216aと上部電極216bを同時に形成して、本第3実施形態の工程を終了する。このとき、第2配線ライン216aは第1配線ライン206aと上下に直接連結されるように形成される。

【0049】なお、第2ビアホールh3を形成した後に全面に障壁金属膜を形成してもよい。この障壁金属膜としては、Ti、Ta、W、Mo、TiN、TiW、Ta

N、MoN、W-N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層膜構造が用いられる。また、第2配線ライン216aと上部電極216bを同時に形成した後、その全面にキャッピング膜（図示せず）を形成することもできるが、このとき用いられるキャッピング膜としてはSiON膜が例として挙げられる。

【0050】最後に、図12乃至図14を参照して本発明の第4実施形態について説明する。この第4実施形態でも第1配線ラインと第2配線ライン間にMIM構造のキャパシタが形成されるが、前記構造のキャパシタは任意の配線ライン間のどこにでも形成できる。

【0051】図12を参照すると、本発明の第4実施形態で製造されたロジック及びアナログ回路のキャパシタは、トランジスタのような下部構造が形成された基板300上に第1層間絶縁膜302が形成され、この第1層間絶縁膜302上にエッチストップパ膜304が形成され、このエッチストップパ膜304上に、下部電極形成部のエッチストップパ膜304の表面が露出されるように第2層間絶縁膜306が形成され、この第2層間絶縁膜306内の表面が露出された前記エッチストップパ膜304上にCu材質の下部電極308bが形成され、この下部電極308bを含めた第2層間絶縁膜306上に、下部電極308bの表面が所定部分露出されるように第1ビアホールを具備した第3層間絶縁膜310が形成され、それらの結果物全面に薄い厚さの誘電体膜312が形成され、前記第1ビアホールを含めた誘電体膜312上の所定部分には“導電性プラグ314b/導電性膜パターン316b”形態の上部電極が形成されており、キャパシタは全体的にMIM構造を有するように構成されている。ここで、上部電極をなす導電性膜パターン316bはA1材質で構成される。

【0052】なお、図12には図示されていないが、第2層間絶縁膜306と第3層間絶縁膜310間、そして上部電極をなす導電性膜パターン316b上にそれぞれキャッピング膜をさらに形成することもできるし、上部電極と誘電体膜312間に障壁金属膜をさらに形成することもできる。但しキャッピング膜としては、導電性膜パターン316b上においては、Ti、Ta、W、Mo、TiN、TiW、Ta-N、Mo-N、W-N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層膜構造のキャッピング膜が形成され、第2層間絶縁膜306と第3層間絶縁膜310間にはSiON膜材質のキャッピング膜が形成される。

【0053】従って、前記構造のキャパシタは、図13及び図14に示されるように、次の4段階を経て製造される。なお、下部電極はCu材質の導電性膜からなり、上部電極は“導電性プラグ/A1材質の導電性膜パターン”形態を有するので、下部電極だけが銅ダマシオン工

程により製造される。

【0054】第1段階として、図13(A)に示すように、トランジスタのような下部構造が形成された基板300上に第1層間絶縁膜302を形成し、その上にSiON膜及びSiON膜材質のエッチストップ膜304と第2層間絶縁膜306を順次形成する。次いで、配線形成部とキャパシタ形成部を限定する感光膜パターン(図示せず)をマスクとしてエッチストップ膜304の表面が露出されるまで第2層間絶縁膜306を選択食刻し、さらに配線ライン形成部の基板300表面が所定部分露出されるようにエッチストップ膜304と第1層間絶縁膜302を順次食刻してコンタクトホールh1を形成する。

【0055】第2段階として、図13(B)に示すように、それらの結果物全面にCu材質の第1導電性膜を形成し、第2層間絶縁膜306の表面が露出されるまでこれをCMP処理してCu材質の第1配線ライン308aと下部電極308bを同時に形成する。

【0056】このとき、図示されていないが、コンタクトホールh1の形成後それらの結果物全面に障壁金属膜を形成することもできる。但し、この場合、第1導電性膜をCMPする工程で第2層間絶縁膜306上の障壁金属膜も除去するように工程を実施すべきである。前記障壁金属膜としては第1実施形態で示されたものと同一材質のものが用いられる。

【0057】第3段階として、図14(A)に示すように、第1配線ライン308aと下部電極308bを含めた第2層間絶縁膜306上に第3層間絶縁膜310を形成し、下部電極308bの表面が所定部分露出されるようにこれを選択食刻して第1ビアホールh2を形成した後、それらの結果物全面に誘電体膜312を形成する。この誘電体膜312としては第1実施形態で示されたものと同一材質のものが用いられる。次いで、第1配線ライン308aの表面が所定部分露出されるように誘電体膜312と第3層間絶縁膜310を順次食刻して第2ビアホールh3を形成する。

【0058】なお、第3層間絶縁膜310を形成する前にそれらの結果物全面にSiON膜材質のキャッピング膜をさらに形成することもできるが、その場合は第1及び第2ビアホールh2、h3を形成するときに第1配線ライン308aと下部電極308b上のキャッピング膜も同時に除去するように食刻工程を実施すべきである。

【0059】第4段階として、図14(B)に示すように、W材質の導電性膜蒸着及びCMP工程(又はエッチバック工程)を適用して第1及び第2ビアホールh2、h3内にそれぞれ導電性プラグ314a、314bを形成し、さらに全面にAl材質の第2導電性膜を形成した後、配線ライン形成部とキャパシタ形成部を限定する感光膜パターン(図示せず)をマスクとして第2導電性膜を所定部分選択食刻することにより、Al材質の第2配

線ライン316aと第2導電性膜パターン316bを同時に形成し、本第4実施形態の工程を終了する。このとき、第2導電性膜パターン316bは導電性プラグ314bと上下に連結され、上部電極を形成する。また、第2配線ライン316aは導電性プラグ314aを媒介体として第1配線ライン308aと電気的に連結されるように形成される。

【0060】なお、第2ビアホールh3の形成後にそれらの結果物全面に障壁金属膜を形成することもできるし、第2導電性膜の形成後にキャッピング膜を形成することもできる。前者のように障壁金属膜を形成した場合は、第2導電性膜の食刻のときに前記障壁金属膜も同時に食刻すべきであり、後者のようにキャッピング膜の形成がさらに行われた場合は、キャパシタ形成部と配線ライン形成部を限定する感光膜パターン(図示せず)をマスクとして用いた食刻工程の実施のときに前記キャッピング膜と第2導電性膜が共に食刻されるように工程を実施すべきである。第2導電性膜上に形成されるキャッピング膜としてはTi、Ta、W、Mo、TiN、TiW、Ta₂N、MoN、W₂N、W-Si-N、Ta-Si-N、W-B-N、Ti-Si-Nの単層構造及びこれらが組み合わされた積層膜構造が例として挙げられる。

【0061】そして、以上のように、半導体集積回路、例えばロジック回路及びアナログ回路のキャパシタをMIM構造に製造した場合は、PIP構造のキャパシタを製造した場合と比べて、VCCは1/5~1/6Ti(TiはPIP構造のキャパシタで測定された従来のVCC値を示す)以下の水準まで低くすることができるし、TCCは1/2T2(T2はPIP構造のキャパシタで測定された従来のTCC値を示す)以下の水準まで低くすることができるので、電圧及び温度変化に伴うキャパシタンスの変化を最小化してビットレゾリューションを増加させることができるし、キャパシタの分布特性とキャパシタのアレイマッチング特性を改善することができる。又、高周波領域でPIP型キャパシタの下部電極及び上部電極が高い抵抗値を有することから惹起されるアナログ回路の不良も抑制できる。さらに、上記の方法によれば、多層配線形成工程を利用して複雑な工程の追加なしにMIM構造のキャパシタを容易に製造できる。

【0062】以上、実施の形態を通じて本発明を具体的に説明したが、本発明は上記実施の形態に限定されず、本発明の技術的思想内で該当分野の通常の知識を用いてその変形及び改良が可能であることは勿論である。

【0063】

【発明の効果】以上詳細に説明したように本発明の半導体集積回路のキャパシタ製造方法によれば、良好な特性のキャパシタを複雑な工程の追加なしに容易に製造することができる。

【図面の簡単な説明】

【図 1】従来のキャパシタを示す断面図。

【図 2】従来のキャパシタの製造方法を工程順に示す断面図。

【図 3】従来のキャパシタの製造方法を工程順に示す断面図。

【図 4】本発明の第 1 実施形態及び第 2 実施形態により製造されたキャパシタを示す断面図。

【図 5】本発明の半導体集積回路のキャパシタ製造方法の第 1 実施形態を工程順に示す断面図。

【図 6】本発明の半導体集積回路のキャパシタ製造方法の第 1 実施形態を工程順に示す断面図。

【図 7】本発明の半導体集積回路のキャパシタ製造方法の第 2 実施形態を工程順に示す断面図。

【図 8】本発明の半導体集積回路のキャパシタ製造方法の第 2 実施形態を工程順に示す断面図。

【図 9】本発明の第 3 実施形態で製造されたキャパシタを示す断面図。

【図 10】本発明の半導体集積回路のキャパシタ製造方法の第 3 実施形態を工程順に示す断面図。

【図 11】本発明の半導体集積回路のキャパシタ製造方法の第 3 実施形態を工程順に示す断面図。

【図 12】本発明の第 4 実施形態で製造されたキャパシタを示す断面図。

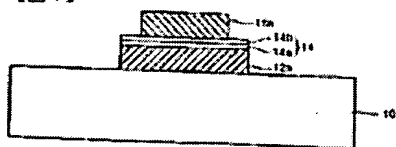
【図 13】本発明の半導体集積回路のキャパシタ製造方法の第 4 実施形態を工程順に示す断面図。

【図 14】本発明の半導体集積回路のキャパシタ製造方法の第 4 実施形態を工程順に示す断面図。

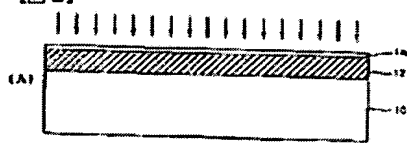
【符号の説明】

100 基板
102 第 1 層間絶縁膜
104 第 1 エッチストップ膜
106 第 2 層間絶縁膜
108a 第 1 配線ライン
108b 下部電極
110 第 3 層間絶縁膜
112 第 2 エッチストップ膜
114 第 4 層間絶縁膜
116 誘電体膜
118a 第 2 配線ライン
118b 上部電極
h2 第 1 ビアホール
h3 第 2 ビアホール

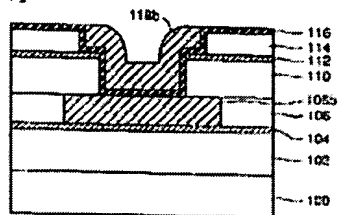
【図 1】



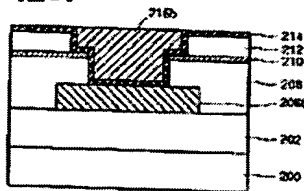
【図 2】



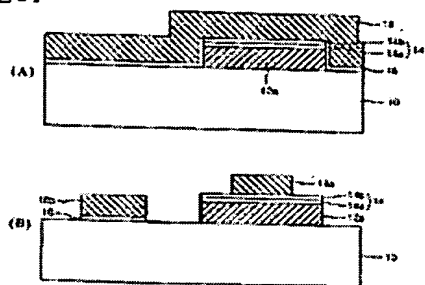
【図 4】



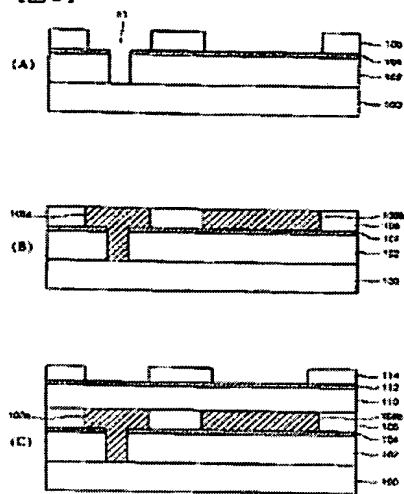
【図 9】



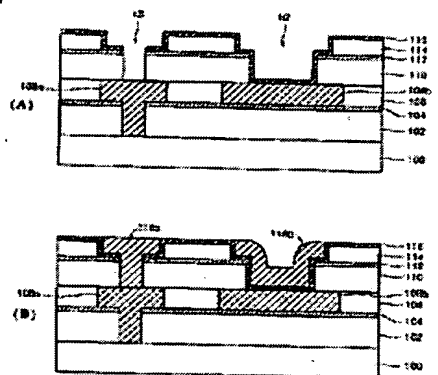
【図3】



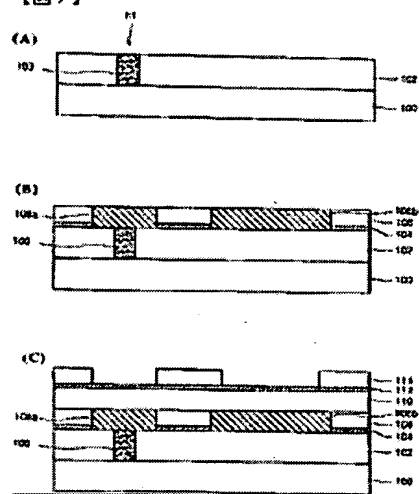
【図5】



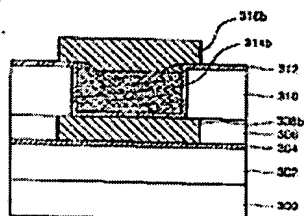
【図6】



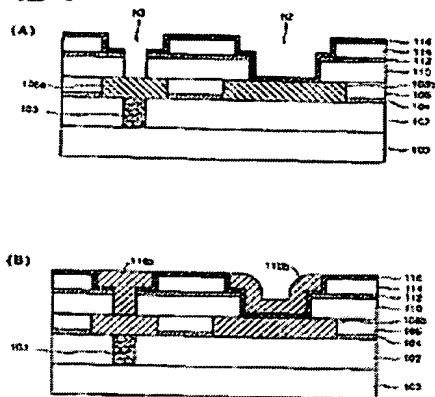
【図7】



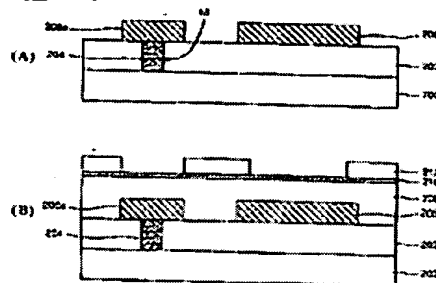
【図12】



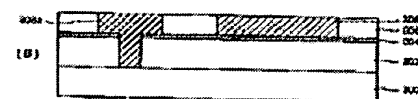
[8]



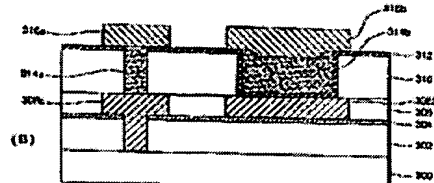
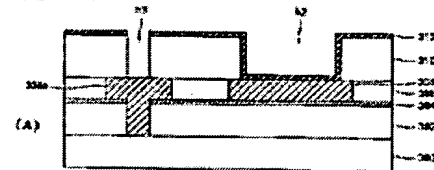
[10]



[13]



[14]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.